

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-348593

(43)Date of publication of application : 22.12.1994

(51)Int.Cl. G06F 12/08
G06F 13/12

(21)Application number : 05-133614 (71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 03.06.1993 (72)Inventor : ASAINA TAKUMI

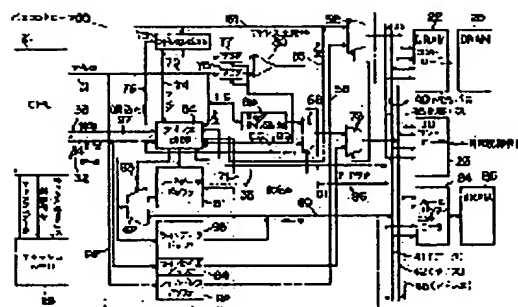
(54) DATA TRANSFER CONTROLLER

(57)Abstract:

PURPOSE: To speed up read access to a non-cache area.

CONSTITUTION: A CPU 21 administrates an address space divisionally between a cache area and the non-cache area. The cache area is an address area wherein data in a DRAM 25 are transferred in block to a cache memory 28 in response to read access by the CPU 21. The rest of address area is the non-cache areas. When the CPU 21 performs read access to addresses of the DRAM 25 and a VRAM 26 in the non-cache area, prescribed data blocks nearby the accessed addresses are transferred in block to a read data buffer 61.

Therefore, when data of plural words whose addresses are successive are read, the CPU 21 has to read the 1st word out of the data RAM 25, etc., but can obtain the 2nd and succeeding words from the read data buffer 61.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-348593

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.⁵

G 0 6 F 12/08
13/12

識別記号

3 1 0 A 7608-5B
3 3 0 T 8133-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21) 出願番号

特願平5-133614

(22) 出願日

平成5年(1993)6月3日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 朝夷名 巧

大阪市此花区島屋一丁目1番3号 住友電

気工業株式会社大阪製作所内

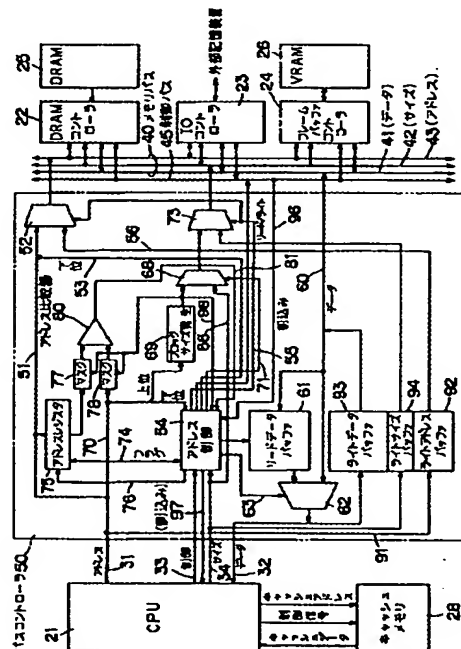
(74) 代理人 弁理士 亀井 弘勝 (外1名)

(54) 【発明の名称】 データ転送制御装置

(57) 【要約】

【構成】 CPU 21は、アドレス空間をキャッシュ領域と非キャッシュ領域とに区分して管理している。キャッシュ領域は、CPU 21のリードアクセスに応答してDRAM 25内のデータがキャッシュメモリ 28にブロック転送されるアドレス領域である。それ以外のアドレス領域が非キャッシュ領域である。CPU 21が非キャッシュ領域内のDRAM 25やVRAM 26のアドレスに対するリードアクセスを行うと、アクセスされたアドレスの近傍の所定のデータブロックがリードデータバッファ 61にブロック転送される。したがって、たとえば、アドレスが連続している複数ワードのデータをリードする場合には、CPU 21は、第1ワード目はデータRAM 25などから読み出さなければならないが、第2ワード目以降についてはリードデータバッファ 61から取得できる。

【効果】 非キャッシュ領域に対するリードアクセスを高速化できる。



【特許請求の範囲】

【請求項1】アドレス空間がキャッシュ領域と非キャッシュ領域とに区分して管理されている処理装置と、この処理装置との間でデータが転送される主記憶装置と、上記処理装置に接続されているとともに上記主記憶装置の記憶データの一部を記憶することができるキャッシュメモリとを備え、上記処理装置が上記キャッシュメモリに記憶されていないデータの読出のために上記キャッシュ領域内の上記主記憶装置のアドレスにアクセスしたことに応答して上記主記憶装置から上記キャッシュメモリに所定単位のデータがブロック転送されるデータ処理装置に適用されるデータ転送制御装置であって、

上記非キャッシュ領域内の上記主記憶装置の記憶データを記憶するための所定容量のリードデータバッファと、上記処理装置がデータ読出のために非キャッシュ領域内の上記主記憶装置のアドレスにアクセスしたときに、このアクセスされるアドレスのデータが上記リードデータバッファに記憶されているかどうかを判定する判定手段と、

この判定手段によって、上記処理装置がアクセスした非キャッシュ領域のアドレスのデータが上記リードデータバッファに記憶されていないと判定されたときに、上記主記憶装置から上記処理装置がアクセスしたアドレスの記憶データを含む所定サイズのデータブロックを読み出して上記リードデータバッファに転送する手段と、上記主記憶装置から上記リードデータバッファに転送されるデータブロック中のデータのうち、上記処理装置がアクセスしたアドレスのデータを上記処理装置に与える手段と、

上記判定手段によって、上記処理装置がアクセスした非キャッシュ領域のアドレスのデータが上記リードデータバッファに記憶されていると判定されたときに、上記リードデータバッファから上記処理装置がアクセスしたアドレスのデータを読み出して上記処理装置に与える手段とを含むことを特徴とするデータ転送制御装置。

【請求項2】上記処理装置がデータ書込のために上記リードデータバッファに記憶されたデータに対応するアドレスにアクセスしたときに、上記リードデータバッファの記憶データを無効化する手段をさらに含むことを特徴とする請求項1記載のデータ転送制御装置。

【請求項3】上記処理装置が非キャッシュ領域のアドレスにアクセスしたときに、アクセスされたアドレスに基づいて上記主記憶装置から上記リードデータバッファに転送すべきデータブロックのサイズを定めるブロックサイズ設定手段をさらに含むことを特徴とする請求項1または2記載のデータ転送制御装置。

【請求項4】上記ブロックサイズ設定手段は、上記処理装置のアドレス空間を区分して得られる複数のアドレス領域にそれぞれ対応するとともに、データブロックのサイズをそれぞれ保持する複数のサイズレジスタ

と、

上記処理装置がアクセスするアドレスが属するアドレス領域に対応した上記サイズレジスタが保持するサイズを、上記主記憶装置から上記リードデータバッファに転送すべきデータブロックのサイズとして選択する手段とを含むものであることを特徴とする請求項3記載のデータ転送制御装置。

【請求項5】上記処理装置のアドレス空間は上記主記憶装置のアドレス空間よりも大きくとられており、上記主記憶装置のアドレス空間の少なくとも一部は上記処理装置のアドレス空間の異なる領域に対して重複して対応付けられていることを特徴とする請求項3または4記載のデータ転送制御装置。

【請求項6】上記処理装置が上記主記憶装置に書き込むべきデータを出力したときに、そのデータを一時蓄積する所定容量のライトデータバッファと、

このライトデータバッファに蓄積されたデータを上記主記憶装置に転送する手段とをさらに含むことを特徴とする請求項1乃至5のいずれかに記載のデータ転送制御装置。

【請求項7】所定の割込み信号が入力される割込み信号入力部と、

この割込み信号入力部に所定の割込み信号が与えられたことに応答して、上記リードデータバッファの記憶データを無効化する手段とをさらに含むことを特徴とする請求項1乃至6のいずれかに記載のデータ転送制御装置。

【請求項8】上記データ処理装置は、外部機器とのインタフェースと、このインタフェースを介して外部機器と上記主記憶装置との間でデータをDMA転送する手段と、このDMA転送によって上記主記憶装置へのデータの書込が終了したことに応答して割込み信号を発生する割込み信号発生手段とをさらに含み、この割込み信号が上記割込み信号入力部に入力されることを特徴とする請求項7記載のデータ転送制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CPU（中央処理装置）、DRAM（ダイナミック・ランダム・アクセス・メモリ）および周辺装置などから構成されるコンピュータにおけるCPUとDRAMとの間のデータ転送などに適用されるデータ転送制御装置に関する。

【0002】

【従来の技術】図7は、従来から用いられているコンピュータの典型的な構成を示すブロック図である。CPU（中央処理装置）1は、簡単なタイミング調整回路（図示せず。）を介して、メモリバス10に直結されている。メモリバス10は、データを転送するためのライン11、転送されるデータサイズを伝達させるためのライン12、およびアドレスを伝達させるためのライン13を有している。メモリバス10には、制御バス15が並

設されている。

【0003】メモリバス10および制御バス15には、DRAMコントローラ2、IOコントローラ3、およびフレームバッファコントローラ4が接続されている。DRAMコントローラ2は、DRAM5に対する書き込みおよび読み出しを制御する。IOコントローラ3は、ハードディスク装置やフレキシブルディスク装置などのような外部記憶装置に対するアクセスを制御する。さらに、フレームバッファコントローラ4は、図示しない表示装置に表示させるべき画像データを記憶するためのVRAM（ビデオRAM）6に対するアクセスを制御する。DRAM5およびVRAM6は主記憶装置に相当する。

【0004】CPU1には、SRAM（スタティックRAM）で構成されたキャッシュメモリ8が接続されている。CPU1はメモリ管理機構を内蔵しており、このメモリ管理機構は、物理アドレスを、キャッシュアドレスと非キャッシュアドレスとに分けて管理している。アドレス空間においてキャッシュアドレスが割り当てられた領域はキャッシュ領域と呼ばれ、非キャッシュアドレスが割り当てられた領域は非キャッシュ領域と呼ばれる。

【0005】キャッシュ領域のリードアクセスでは、CPU1は、まず、キャッシュメモリ8にアクセスする。そして、キャッシュ8に必要なデータが無い場合にメモリバス10にリード要求を与える。このとき、DRAM5の記憶データはCPU1にブロック転送される。CPU1はブロック転送されたデータのうち必要なデータを自身に取り込むとともに、ブロック転送されたデータの全部をキャッシュメモリ8に書き込む。これ以後は、ブロック転送されたデータに関しては、CPU1はキャッシュメモリ8にアクセスするだけで必要なデータを取得できる。

【0006】キャッシュメモリ8はSRAMで構成されているため、メモリ容量はそれほど大きくとれないが、DRAM5に比較してアクセス時間がはるかに短い。そのため、CPU1がデータを取り込む時間が短縮され、動作速度が向上する。このように、DRAM5などで構成した主記憶装置とSRAMで構成されたキャッシュメモリ8とからなる階層的なメモリを用いることで動作速*

$$\{ (\text{メモリアクセス時間}) + (1 \text{ワード転送時間}) \} \times (\text{ワード数})$$

.... (1)

$$(\text{メモリアクセス時間}) + (1 \text{ワード転送時間}) \times (\text{ワード数})$$

.... (2)

このようなことから、キャッシュメモリ8とDRAM5との間におけるデータの転送は、ブロック単位で高速に行われる。この転送の際に、CPU1は自分自身で利用するワードを取り込む。一般に、CPU1がプログラムを実行する際には、DRAM5内の記憶データがランダムに利用されるのではなく、局所的な記憶領域のデータが利用されるという傾向がある。したがって、CPU1がアクセスしたアドレスの近傍のデータをキャッシュメ

*度を向上させることは、従来から一般的に行われていた。CPU1が実行するプログラムは、通常は、キャッシュアドレス上で動作することになる。

【0007】図8は、DRAM5からのデータの読出動作を説明するためのタイムチャートである。CPU1が制御バス15にリード信号を与えると、DRAMコントローラ2はRASクロックを生成する。このRASクロックの立ち下がりでメモリバス40からの行アドレスがDRAM5に取り込まれる。また、DRAMコントローラ2は、RASクロックの立ち下がりの後のタイミングでCASクロックを生成し、このCASクロックの立ち下がりによって列アドレスが取り込まれる。その結果、所望のメモリのセルのデータがDRAM5の出力端子に現れ、このデータがメモリバス10からCPU1に与えられる。図8から明らかとなお、RASアクセス時間は、CASアクセス時間よりも長い。

【0008】一般に、RASクロックに基づいて取り込まれる行アドレスはメモリバス40からのアドレスの上位ビット部に対応しており、CASクロックに基づいて取り込まれる列アドレスは下位ビット部に対応している。連続したワードは、CASクロックに同期して入力される列アドレスを変えるだけでアクセスすることができる。すなわち、連続したワードで構成されたデータブロックは、列アドレスを変えていくことによって、連続的に読み出すことができる。なお、ワードとは、CPU1が1回のアクセスで取り込むことができるデータの単位である。

【0009】一方、メモリアクセス時間は、1ワードのデータをCPU1に転送するための1ワード転送時間よりも長い。したがって、連続した複数ワードを読み出すときには、1ワード毎のデータ転送よりもブロック転送の方が有利である。すなわち、複数のワードをDRAM5からCPU1に転送する際に、1ワード単位でデータの転送を行うと、下記第(1)式の時間を要するのに対して、ブロック転送を行った場合の所要時間は下記第(2)式で与えられ、ブロック転送の方が所要時間が短い。

【0010】

メモリ8にブロック転送しておけば、CPU1がキャッシュメモリ8にアクセスしたときのヒット率が高くなり、データ処理効率が向上する。

【0011】一方、非キャッシュアドレスは、たとえば、CPU1とIOコントローラ3との間のデータのやり取りのために使用される。CPU1はIOコントローラ3と直接的にデータのやり取りをするほか、IOコントローラ3から一旦DRAM5の所定の記憶領域を介し

5

てデータのやり取りを行う。この場合、DRAM5の一部の記憶領域は非キャッシュ領域となる。I/Oコントローラ3は、ハードディスク装置やフレキシブルディスク装置などの外部記憶装置に対するアクセスを制御する入出力インタフェースとして機能し、ハードディスクやフレキシブルディスクとDRAM5との間でDMA（直接メモリアクセス）転送を行う機能を有している。すなわち、DRAM5と外部記憶装置との間のデータ転送は、CPU1を介在させずに実行される。

【0012】たとえば、I/Oコントローラ3を介する外部記憶装置からのデータがDRAM5のキャッシュ領域にDMA転送されると、キャッシュメモリ8のデータとDRAM5のデータとを一致させることができなくなるおそれがある。このような不具合を避けるために、通常では、上述のようにI/Oコントローラ3からのデータはDRAM5の非キャッシュアドレス領域に転送されるようにしている。換言すれば、CPU1とI/Oコントローラ3とが共有しているメモリ領域は、非キャッシュ領域とされている。このような手法とは別に、I/Oコントローラ3とCPU1とが共有している領域からのデータの読出が行われるときに、それに先立ってキャッシュメモリ8の内容を無効化し、キャッシュメモリ8内の古いデータがCPU1に読み込まれないようにする技術が採用される場合もある。

【0013】

【発明が解決しようとする課題】上述のようにキャッシュ領域のデータに関しては、キャッシュメモリ8とDRAM5との間でブロック単位でデータを転送することが一般に行われているが、その一方で、非キャッシュ領域に関するアクセスでは、CPU1は、その時点で必要とされるワード以外のデータは要求しない。したがって、非キャッシュアドレスのアクセスに関しては、DRAM5のデータがブロック単位でCPU1に渡されることはない。そのため、非キャッシュ領域におけるデータの読み出しは必ず1ワード単位で行われ、連続したアドレスからのデータ読出が行われる場合であっても、上記第(1)式で表される長いアクセス時間を要していた。

【0014】したがって、非キャッシュ領域に対するデータ読出が、キャッシュ領域に関するデータ読出に比較して極めて遅いという問題があった。この問題を解決するために、DRAM5の記憶領域を全てキャッシュ領域とすることが考えられる。この場合、CPU1とI/Oコントローラ3とがメモリ領域を共有することになるから、この共有メモリ領域からのデータを読み込むのに先立って、キャッシュメモリ8の内容を無効化することが必要となる。

【0015】ところが、このような構成では、CPU1においてキャッシュメモリ8を無効化するための余分な処理が必要となる。そのため、DRAM5から読み込むデータが多い場合にはともかく、データが少ない場合に

6

は1ワード毎にDRAM5からデータを取得する場合よりも長い時間を要するおそれがある。したがって、DRAM5の記憶領域の全てをキャッシュ領域とすることはあまり好ましくない。

【0016】そこで、本発明の目的は、上述の技術的課題を解決し、主記憶装置と処理装置との間のデータ転送を高速に行わせることができるようにして処理装置の処理効率の向上を図ったデータ転送制御装置を提供することである。

10 【0017】

【課題を解決するための手段および作用】上記の目的を達成するための請求項1記載のデータ転送制御装置は、アドレス空間がキャッシュ領域と非キャッシュ領域とに区分して管理されている処理装置と、この処理装置との間でデータが転送される主記憶装置と、上記処理装置に接続されているとともに上記主記憶装置の記憶データの一部を記憶することができるキャッシュメモリとを備え、上記処理装置が上記キャッシュメモリに記憶されていないデータの読出のために上記キャッシュ領域内の上記主記憶装置のアドレスにアクセスしたことに応答して上記主記憶装置から上記キャッシュメモリに所定単位のデータがブロック転送されるデータ処理装置に適用されるデータ転送制御装置であって、上記非キャッシュ領域内の上記主記憶装置の記憶データを記憶するための所定容量のリードデータバッファと、上記処理装置がデータ読出のために非キャッシュ領域内の上記主記憶装置のアドレスにアクセスしたときに、このアクセスされるアドレスのデータが上記リードデータバッファに記憶されているかどうかを判定する判定手段と、この判定手段によって、上記処理装置がアクセスした非キャッシュ領域のアドレスのデータが上記リードデータバッファに記憶されていないと判定されたときに、上記主記憶装置から上記処理装置がアクセスしたアドレスの記憶データを含む所定サイズのデータブロックを読み出して上記リードデータバッファに転送する手段と、上記主記憶装置から上記リードデータバッファに転送されるデータブロック中のデータのうち、上記処理装置がアクセスしたアドレスのデータを上記処理装置に与える手段と、上記判定手段によって、上記処理装置がアクセスした非キャッシュ領域のアドレスのデータが上記リードデータバッファに記憶されていると判定されたときに、上記リードデータバッファから上記処理装置がアクセスしたアドレスのデータを読み出して上記処理装置に与える手段とを含むことを特徴とする。

【0018】この構成によれば、非キャッシュ領域内の主記憶装置の記憶データを記憶するためにリードデータバッファが備えられる。そして、処理装置が非キャッシュ領域内の主記憶装置のアドレスにアクセスしたときに、そのアドレスのデータがリードデータバッファに記憶されているかどうか判定される。そのアドレスのデ

ータがリードデータバッファ内に無い場合には、そのアドレスの記憶データを含む所定サイズのデータブロックが主記憶装置からリードデータバッファに転送される。この転送されるデータブロックのなかで処理装置がアクセスしたアドレスのデータは処理装置に与えられる。

【0019】一方、判定手段によって、処理装置がアクセスしたデータがリードデータバッファに記憶されていると判定されたときには、このリードデータバッファの記憶データが処理装置に与えられる。すなわち、主記憶装置からのデータ読出を行うことなく、必要なデータを処理装置に与えることができる。このようにして、非キャッシュ領域内における主記憶装置からのデータの読出をデータブロック毎に行わせ、読み出されたデータブロックをリードデータバッファに記憶させておくことで、主記憶装置へのアクセス時間が短縮される。

【0020】しかも、たとえば、主記憶装置の記憶領域において外部機器からのデータが転送される領域を非キャッシュ領域としておけば、主記憶装置の記憶領域に対応するすべてのアドレス領域をキャッシュ領域とする場合のように、処理装置がキャッシュメモリを無効化する必要が生じることもない。すなわち、主記憶装置の記憶領域にキャッシュ領域と非キャッシュ領域とが混在している状態で主記憶装置と処理装置との間のデータ転送を高速化することができる。その結果、処理装置の処理効率が格段に向上されることになる。

【0021】請求項2記載のデータ転送制御装置は、上記処理装置がデータ書込のために上記リードデータバッファに記憶されたデータに対応するアドレスにアクセスしたときに、上記リードデータバッファの記憶データを無効化する手段をさらに含むことを特徴とする。この構成では、リードデータバッファに記憶されたデータに対応するアドレスに対するデータ書込が行われるときに、リードデータバッファの記憶データが無効化される。リードデータバッファの記憶データに対応したアドレスへのデータ書込が行われると、リードデータバッファの記憶データはもはや主記憶装置の記憶データと一致しなくなる。そこで、このような場合にリードデータバッファの記憶データを無効化することで、誤ったデータが処理装置に与えられることを防止できる。

【0022】請求項3記載のデータ転送制御装置は、上記処理装置が非キャッシュ領域のアドレスにアクセスしたときに、アクセスされたアドレスに基づいて上記主記憶装置から上記リードデータバッファに転送すべきデータブロックのサイズを定めるブロックサイズ設定手段をさらに含むことを特徴とする。この構成によれば、処理装置がアクセスするアドレスに応じて、転送されるデータブロックのサイズを変化させることができる。そのため、処理装置がアクセスするアドレスに対応したハードウェア（メモリ素子や入出力インタフェース）ごとに適切なサイズを設定することができる。たとえば、主記憶

装置が複数のメモリ素子で構成されているような場合に、或るメモリ素子は比較的大きなサイズのデータブロックをブロック転送することができるけれども、他のメモリ素子は比較的小きなサイズのデータブロックをブロック転送できるに過ぎないという場合も生じ得る。このような場合に、本発明では、各メモリ素子ごとに適切なデータブロックのサイズを設定できる。

【0023】請求項4記載のデータ転送制御装置は、上記ブロックサイズ設定手段が、上記処理装置のアドレス空間を区分して得られる複数のアドレス領域にそれぞれ対応するとともに、データブロックのサイズをそれぞれ保持する複数のサイズレジスタと、上記処理装置がアクセスするアドレスが属するアドレス領域に対応した上記サイズレジスタが保持するサイズを、上記主記憶装置から上記リードデータバッファに転送すべきデータブロックのサイズとして選択する手段とを含むものであることを特徴とする。

【0024】この構成により、処理装置がアクセスするアドレスがいずれのアドレス領域に属するかによって、複数のサイズレジスタのいずれかが選択され、適切なデータブロックのサイズが設定されることになる。請求項5記載のデータ転送制御装置は、上記処理装置のアドレス空間は上記主記憶装置のアドレス空間よりも大きくとられており、上記主記憶装置のアドレス空間の少なくとも一部は上記処理装置のアドレス空間の異なる領域に対して重複して対応付けられていることを特徴とする。

【0025】この構成では、主記憶装置のアドレス空間の少なくとも一部が処理装置のアドレス空間の異なる領域に対して重複して対応付けられている。そのため、主記憶装置側の1つのアドレスを処理装置側の異なる複数のアドレスに対応させることができる。したがって、処理装置がアクセスするアドレス毎にブロックサイズを異ならせるとすれば、主記憶装置の或るアドレス領域からリードデータバッファにデータを転送させる際のデータブロックのサイズを複数種類に設定することができる。

【0026】請求項6記載のデータ転送制御装置は、上記処理装置が上記主記憶装置に書き込むべきデータを出したときに、そのデータを一時蓄積する所定容量のライトデータバッファと、このライトデータバッファに蓄積されたデータを上記主記憶装置に転送する手段とをさらに含むことを特徴とする。

【0027】この構成によれば、主記憶装置に書き込むべきデータはライトデータバッファに一旦蓄積され、その後主記憶装置に転送される。ライトデータバッファから主記憶装置へのデータ転送は、処理装置の処理とは無関係なタイミングで行えるから、たとえば、主記憶装置からのデータ読出を阻害しないタイミングで行うことができる。そのため、処理装置がデータ読出とデータ書込とを繰り返すような場合には、読出動作を優先的にに行わせる一方で、書き込むべきデータをライトデータ

バッファに蓄積しておけば、データ読出／書込処理を効率的に行える。

【0028】また、ライトデータバッファに或る程度の量のデータが蓄積された時点で、その蓄積されたデータをまとめて主記憶装置に転送するようにすれば、主記憶装置に対するデータ書込のためのアクセス時間を短縮できる。請求項7記載のデータ転送制御装置は、所定の割込み信号が入力される割込み信号入力部と、この割込み信号入力部に所定の割込み信号が与えられたことに応答して、上記リードデータバッファの記憶データを無効化する手段とをさらに含むことを特徴とする。

【0029】この構成によれば、割込み信号入力部に所定の割込み信号が入力されることでリードデータバッファの記憶データが無効化される。たとえば、請求項8に記載されているように、データ処理装置が、外部機器とのインタフェースと、このインタフェースを介して外部機器と上記主記憶装置との間でデータをDMA転送する手段と、このDMA転送によって上記主記憶装置へのデータの書込が終了したことに応答して割込み信号を発生する割込み信号発生手段とを有している場合には、割込み信号発生手段からの割込み信号が割込み信号入力部に入力されるようにしてもよい。

【0030】この場合には、DMA転送によって主記憶装置にデータの書込が行われた場合に、リードデータバッファの記憶データが無効化されることになる。すなわち、DMA転送によって主記憶装置にデータが書き込まれた場合には、リードデータバッファの記憶データと、リードデータバッファに記憶されているデータに対応したアドレスにおける主記憶装置の記憶データとが一致しないおそれがある。そこで、このような場合には、リードデータバッファの記憶データを無効化することとしている。なお、リードデータバッファを無効化するために処理装置が特別な処理を行う必要はないから、処理装置の処理効率が阻害されることはない。

【0031】

【実施例】以下では、本発明の実施例を、添付図面を参照して詳細に説明する。図1は本発明の一実施例のデータ転送制御装置が適用されたコンピュータの構成を示すブロック図である。処理装置としてのCPU21は、本発明の一実施例のデータ転送制御装置であるバスコントローラ50を介してメモリバス40および制御バス45に接続されている。メモリバス40および制御バス45には、DRAM25がDRAMコントローラ22を介して接続されており、ハードディスク装置やフレキシブルディスク装置などの外部記憶装置（図示せず。）がIOコントローラ23を介して接続されており、CRT（陰極線管）等の表示装置（図示せず。）に与えるべきデータを記憶するVRAM26がフレームバッファコントローラ24を介して接続されている。DRAM25およびVRAM26は主記憶装置に相当する。メモリバス40

は、データを伝送させるためのライン41、データサイズを伝送させるためのライン42、およびアドレスを伝送させるためのライン43を有している。

【0032】CPU21には、DRAM25の記憶データの一部を記憶するためのキャッシュメモリ28が接続されている。CPU21はアドレス管理機構を内部に有しており、このアドレス管理機構は、CPU21がアクセスするアドレス空間をキャッシュ領域と非キャッシュ領域とに分けて管理している。キャッシュ領域とは、CPU21がDRAM25やVRAM26にリードアクセスを行ったときに、DRAM25などの記憶データがデータブロック単位（たとえば8ワード）で読み出されてキャッシュメモリ28に転送される領域である。また、非キャッシュ領域とは、CPU21のアクセス時にキャッシュメモリ28へのデータ転送が行われないアドレス領域である。CPU21が必要とするデータがキャッシュメモリ28に記憶されているかぎり、CPU21はDRAM25にアクセスすることなく、単にキャッシュメモリ28にアクセスするだけで処理を実行できる。

【0033】CPU21とバスコントローラ50とは、CPUアドレスバス31およびCPUデータバス32などを介して接続されている。CPU31がデータリードのためにアドレスバス31に与えたアドレスは、ライン51からアドレスマルチプレクサ52を介してメモリバス40のアドレス用ライン43に与えられる。アドレスは、たとえば32ビットからなっており、データリードが行われるときの低位ビット部はライン53からの信号に置換される。

【0034】ライン53はアドレス制御回路54に接続されており、このアドレス制御回路54には、ライン33を介してCPU21からのCPU制御信号が与えられている。マルチプレクサ52は、アドレス制御回路54からライン55を介して与えられるリード／ライト制御信号にตอบสนองして切り換わるものである。すなわち、データリードの際にはライン51からのアドレスをメモリバス40に与え、データライトの際にはライン56からのアドレスをメモリバス40に与える。ライン56は、ライトアドレスバッファ92に接続されている。

【0035】メモリバス40からのリードデータは、データ用ライン41からライン60を介して、リードデータバッファ61およびリードデータマルチプレクサ62に入力される。リードデータバッファ61は、後述するブロックサイズ発生回路69が発生する最大のブロックサイズのデータを記憶することができる容量を有しており、アドレス制御回路54によってデータの書込／読出が制御される。

【0036】リードデータバッファ61はブロックサイズ発生回路69が発生したブロックサイズのワード群であるデータブロックを単位としてデータの記憶を行う。この場合、そのデータブロックに対応したDRAM25

やVRAM26のアドレスの上位ビット部の共通部分が後述するアドレスレジスタ75に保持される。データブロックを構成する各ワード毎のアドレスの下位ビット部(この下位ビット部のアドレスを、以下では「ブロック内アドレス」という。)は相互に異なっている。リードデータバッファ61に記憶されたデータブロック中の特定のワードの読出は、そのワードに対応したブロック内アドレスをアドレス制御回路54からリードデータバッファ61に与えることによって行われる。

【0037】リードデータバッファ61の出力データは、リードデータマルチプレクサ62に与えられている。このリードデータマルチプレクサ62は、アドレス制御回路54からライン63を介して与えられる制御信号に基づき、ライン60からのデータとリードデータバス32に与える。

【0038】CPU21は、データリードを行う際に、ライン34からアドレス制御回路54の転送サイズを与える。この転送サイズは、キャッシュ領域へのアクセスの際には、キャッシュメモリ28に転送させるべきブロックサイズであり、非キャッシュ領域へのアクセスの際には1ワードである。ただし、ライン33からのCPU制御信号によって、ワード中の特定のバイトが指定される場合もある。

【0039】転送サイズを表すデータはさらに、ライン66からブロックサイズマルチプレクサ68に与えられている。ブロックサイズマルチプレクサ68には、CPU21がアクセスするアドレスに対応したブロックサイズを発生するブロックサイズ発生回路69からのブロックサイズデータが入力されている。ブロックサイズ発生回路69は、CPUアドレスバス31からライン70を介して与えられるアドレスの上位ビット部に基づいてブロックサイズを設定する。また、ブロックサイズ発生回路69は、ブロックサイズとして1ワードのサイズを指定するときには、ブロック転送を行わないことを表す情報をライン98からアドレス制御回路54に与える。

【0040】ブロックサイズマルチプレクサ68は、アドレス制御回路54からライン71を介して与えられる制御信号によって切り換えられる。この制御信号によって、ブロックサイズマルチプレクサ68は、キャッシュ領域へのリードアクセスの際にはライン66からの転送サイズを選択し、非キャッシュ領域へのリードアクセスの際にはブロックサイズ発生回路69からのブロックサイズを転送サイズとして選択する。このように、ブロックサイズ発生回路69およびブロックサイズマルチプレクサ68によりブロックサイズ設定手段が構成されている。

【0041】ブロックサイズマルチプレクサ68から出力される転送サイズは、さらに、別のブロックサイズマルチプレクサ73に与えられる。このブロックサイズマ

ルチプレクサ73は、アドレス制御回路54からライン55に導出されるリード/ライト制御信号により切り換えられるもので、ブロックサイズマルチプレクサ68からの転送サイズとライトサイズバッファ94からの転送サイズとのいずれかを選択し、メモリバス40のサイズ用ライン42に与える。

【0042】CPUアドレスバス31からのアドレスが与えられるライン51には、アドレスレジスタ75が接続されている。このアドレスレジスタ75は、アドレス制御回路54からライン76を介して与えられるアドレスラッチ信号に基づいて、ライン51に与えられているアドレスの上位ビット部をラッチする。このアドレスレジスタ75は、リードデータバッファ61に記憶されたデータブロックのアドレスを保持するためのものであり、リードデータバッファ61内のデータが有効か無効かを表す有効フラグを有している。この有効フラグは、アドレス制御回路54の働きによって、リードデータバッファ61の記憶データが有効であるときにはセットされ、無効であるときにはリセットされる。そして、その状態は、ライン74を介してアドレス制御回路54によりモニタされる。

【0043】アドレスレジスタ75に保持されたアドレスは、マスク回路77を介してアドレス比較器80に入力されている。このアドレス比較器80には、CPUアドレスバス31からのアドレスも、ライン70からマスク回路78を通して入力されている。アドレス比較器80は、入力された2つのアドレスの上位ビット部が一致したときに、アドレス一致信号を出力して、ライン81からアドレス制御回路54に与える。このアドレス比較器80およびアドレスレジスタ75などによって、判定手段が構成されている。

【0044】マスク回路77、78は、ブロックサイズ発生回路69が生成するブロックサイズに基づいて動作し、ブロックサイズに対応した下位ビット部のアドレスをマスクする。これにより、アドレス比較器80では、ブロックサイズ発生回路69が生成するブロックサイズ単位でアドレスの一致/不一致が判定されることになる。

【0045】CPU21がDRAM25やVRAM26にデータを書き込むためのデータライト動作を行う際にCPUアドレスバス31に導出されるアドレスは、ライン91を介して、ライトアドレスバッファ92に入力される。また、書き込むべきデータは、CPUデータバス32からライトデータバッファ93に入力される。また、書き込むべきデータの転送サイズは、ライトサイズバッファ94に入力される。ライトデータバッファ93は、ライン60を介して、メモリバス40のデータ用ライン41に接続されている。

【0046】ライトデータバッファ93はたとえば32ワード分のデータを記憶することができるものであり、

このライトデータバッファ92に書き込まれたデータは、或る程度(たとえば1〜8ワード程度)蓄積された後に、メモリバス40が使用されていないときに、DRAM25やVRAM26にブロック転送される。上述のような構成によって、CPU21がキャッシュ領域にアクセスするときは、CPU21はまずキャッシュメモリ28にアクセスする。そして、キャッシュメモリ28に必要なデータが記憶されていれば、そのデータを取得する。キャッシュメモリ28に必要なデータがないときには、CPU21は、CPUアドレスバス31にデータリードを行うべきアドレスを出力する。同時に、アドレス制御回路54には、データリードであることを表す制御信号をライン33から与え、転送サイズをライン34から与える。

【0047】これにより、アドレス制御回路54は、ライン55に読出動作であることを表す信号を導出する。その結果、アドレスマルチプレクサ52はライン51からのアドレスを選択し、ブロックサイズマルチプレクサ73は、マルチプレクサ68からの転送サイズを選択する。また、アドレス制御回路54は、ライン71にキャッシュ領域のアクセスであることに対応して、ライン66からの転送サイズを選択させるための制御信号を導出する。このようにして、DRAMコントローラ22には、キャッシュ領域のアドレスと転送サイズとが与えられる。

【0048】DRAMコントローラ22の働きによってDRAM25から読み出されたデータは、メモリバス40から、ライン60に入力される。アドレス制御回路54は、キャッシュ領域へのアクセスであることに対応してマルチプレクサ63を制御し、ライン60からのデータを選択させる。そのため、ライン60からのデータはそのままCPUデータバス32を介してCPU21に与えられる。CPU21は、自己が必要とするデータを内部に取り込むとともに、ブロック転送されてきたデータの全部をキャッシュメモリ28に書き込む。

【0049】次に、CPU21が非キャッシュ領域にアクセスしてデータリードを行う場合の動作について説明する。CPU21は、非キャッシュ領域に対応したアドレスをCPUアドレスバス31に出力する。このとき、アドレス制御回路54には、ライン33からは読出動作であることを表す信号が与えられ、ライン34からは転送サイズとして1ワードを表す信号が入力される。ただし、制御信号によってワード中の特定のバイトが指定される場合もあるが、このような制御信号は、ブロックサイズ発生回路69が出力するブロックサイズが1ワードでない場合には、アドレス制御回路54によってワードを指定する信号に修正される。ブロックサイズが1ワードであればブロック転送は行われないので、制御信号の修正は行われない。

【0050】アドレス制御回路54は、上述のような制

御信号および転送サイズの入力にตอบสนองして、ライン74からの信号を参照し、リードデータバッファ61の記憶データが有効か無効かを判定する。同時に、ライン98からの信号を参照して、ブロック転送を行うか否かを判定する。そして、リードデータバッファ61の記憶データが有効で、かつ、ブロック転送を行うアドレス(転送サイズ発生回路69が2ワード以上の転送サイズを発生するアドレス)であれば、次に、ライン81から与えられるアドレス比較器80の出力を監視する。CPU21が出力したアドレスとアドレスレジスタ75の保持アドレスの各上位ビット部が一致したことを表す信号が与えられた場合には、アドレス制御回路54は、リードデータバッファ61に対して、ライン70からのアドレスの下位ビット部をブロック内アドレスとして与える。また、アドレス制御回路54は、マルチプレクサ62において、リードデータバッファ61の出力データを選択させる。これにより、DRAM25やVRAM26に対するメモリアクセスを経ることなく、CPU21は、必要なデータを取得できる。

【0051】一方、リードデータバッファ61の記憶データが無効である場合や、ブロック転送を行わないアドレスの場合や、アドレスレジスタ75の保持アドレスとCPU21が出力したアドレスとが不一致である場合には、DRAM25やVRAM26へのメモリアクセスが行われる。具体的に説明すると、アドレス制御回路54は、ライン55にデータリードに対応した制御信号を出力してマルチプレクサ52および73をそれぞれデータリード側に接続させる。そして、ブロックサイズマルチプレクサ68には、ブロックサイズ発生回路69が発生するブロックサイズを選択させる。なお、ブロック転送を行わない場合には、ライン66からの転送サイズとなる。

【0052】さらに、アドレス制御回路54は、ブロックサイズ発生回路69から与えられるブロックサイズとライン70から与えられるアドレスの下位ビット部とに基づいて、CPU21が出力したアドレスの下位ビット部の値の近傍の上記ブロックサイズ分の連続した下位アドレスを生成して、ライン53に供給する。これにより、DRAMコントローラ22またはフレームバッファコントローラ24には、CPU21が発生したアドレスの近傍の上記ブロックサイズ分の連続したアドレスが供給されるとともに、ブロックサイズマルチプレクサ73からは、ブロックサイズが供給される。その結果、DRAMコントローラ22またはフレームバッファコントローラ24の働きによって、DRAM25またはVRAM26からのデータが読み出され、データ用ライン41からライン60に入力される。

【0053】このとき、アドレス制御回路54は、アドレスレジスタ75にライン51に導出されたアドレスの上位ビット部をラッチさせるとともに、上記の有効フラ

グをセットする。さらに、アドレス制御回路54は、リードデータバッファ61に書込動作を行わせ、ライン60からの上記ブロックサイズ分のデータを記憶させる。マルチプレクサ62は、CPU21が出力したアドレスに対応したワードがライン60に導出されるタイミングにのみ、ライン60側に接続される。

【0054】このようにして、リードデータバッファ61には、CPU21が出力したアドレスの近傍のブロックサイズ分のデータが保持される。そして、CPU21には必要な1ワードのデータがCPUデータバス32を介して与えられる。これ以後は、ブロック転送を行わない場合を除き、CPU21がアドレスレジスタ75に記憶された上位アドレスに等しい上位アドレスを有するアドレスに対してリードアクセスを行う際には、CPU21が必要とするデータはリードデータバッファ61からマルチプレクサ62を経てCPUデータバス32に返されることになる。これにより、CPU21は、非キャッシュ領域へのリードを極めて高速に行うことができる。

【0055】図2は非キャッシュ領域からのデータリード動作を説明するためのタイムチャートである。図2(a)~(d)はCPU21側の信号タイミングを示し、図2(e)~(h)はメモリバス40側の信号タイミングを示している。さらに詳細に説明すると、図2(a)はCPU21がライン33に導出する制御信号としてのCPUリード信号を示し、図2(b)はCPUアドレスバス31に導出されるCPUアドレスを示し、図2(c)はライン34に導出される転送サイズのデータを示し、図2(d)はCPUデータバス32に導出されるCPUデータを示す。また、図2(e)は制御バス45に導出されるリード信号を示し、図2(f)はアドレス用ライン43に導出されるメモリバスアドレスを示し、図2(g)は転送サイズ用ライン42に導出される転送サイズのデータを示し、図2(h)はデータ用ライン41に導出されるデータを示している。

【0056】時刻t1に、CPU21は、CPUリード信号を立ち下げるとともに、CPUアドレスAA、転送サイズSAを出力する。これにตอบสนองして、アドレス制御回路54は、アドレスレジスタ75の有効フラグを調べ、さらに、アドレスレジスタ75の保持アドレスとCPUアドレスとの一致/不一致を調べる。その結果、有効フラグがリセットされていたり、アドレスが不一致であったりすると、時刻t2に制御バス45に与えられるリード信号が立ち下がる。このとき、アドレス用ライン43にはアドレスAAに対応したアドレスAA'がアドレスマルチプレクサ52から与えられ、ブロックサイズのデータ(図2では4ワードを表すデータ)がブロック*

$$(TD1+TT) \times BS \quad \dots (3)$$

$$TD1+TT+(TD2+TT) \times (BS-1) \quad \dots (4)$$

ただし、TD1 …… 第1データ転送時間

TT …… 1ワード転送時間

TD2 …… 第2データ転送時間

BS …… ブロックサイズ

*サイズマルチプレクサ73から転送サイズ用ライン42に与えられる。

【0057】これにตอบสนองして、DRAMコントローラ22またはフレームバッファコントローラ24が動作し、時刻t3からの期間に、ブロックサイズ分のデータD1、D2、D3、……(これらはそれぞれ1ワードのデータである。)がDRAM25またはVRAM26から次々と読み出され、データ用ライン41に導出される。このデータD1、D2、D3、……はリードバッファ61に蓄えられる。

【0058】一方、CPUアドレスAAに対応したデータD1がデータ用ライン41に導出されている期間内の時刻t4には、リードデータマルチプレクサ62がライン60側に切り換えられ、データD1がCPUデータバス32からCPU21に与えられる。このようにして、CPU21は、メモリアクセス時間TMよりも若干長い第1データアクセス時間TD1で必要なデータD1を取得する。なお、アドレスレジスタ75には、アドレスAAの上位ビット部が保持され、その有効フラグはセットされる。

【0059】時刻t11からの期間に、CPU21は、リード信号を再び立ち下げ、CPUアドレスABおよび転送サイズSBを出力する。このとき、CPUアドレスABの上位ビット部がアドレスレジスタ75の保持アドレスと一致すると、アドレス制御回路54は、そのCPUアドレスABの下位ビット部で表されるブロック内アドレスのデータをリードデータバッファ61から出力させる。このデータが、マルチプレクサ62からCPUバス32を介してCPU21に与えられる。こうして、DRAM25またはVRAM26へのアクセスを行うことなく、CPU21は必要なデータD2を取得することになる。この場合、CPU21はデータD2を取得するのに、メモリアクセス時間TMよりもはるかに短い第2データアクセス時間TD2を要するに過ぎない。

【0060】時刻t21からの期間には、同様にして、データD3が第2データアクセス時間TD2で取得される。このようにして、データブロック単位でデータリードを行い、そのデータをリードバッファ61に蓄えておくことによって、近接したアドレスへのアクセスが相次いで行われる際におけるデータアクセス時間を極めて短くすることができる。

【0061】具体的には、連続ワードのリードを行う際に、従来では、下記第(3)式の時間を要していたのに対して、本実施例では、下記第(4)式の時間を要するに過ぎない。

したがって、下記第(5)式に示す時間だけ、データアクセス時間を短縮できる。これにより、1ワードのデータリードの際には、データアクセス時間は変わらないが、同一データブロック内の複数ワードに関するデータリー *

$$\begin{aligned} & BS(TD1+TT) - \{TD1+TT+(BS-1)(TD2+TT)\} \\ & = TD1+TT+(BS-1)(TD1+TT) - TD1-TT-(BS-1)(TD2+TT) \\ & = (BS-1)(TD1-TD2) \end{aligned}$$

次に、DRAM25と外部記憶装置との間でDMA(直接メモリアクセス)転送が行われた場合の動作について説明する。

【0063】たとえば、I/Oコントローラ23の働きによって、外部記憶装置からDRAM25にデータがDMA転送されたときに、データが格納されたDRAM25の記憶領域と、リードデータバッファ61に格納されたデータのアドレス領域とが重なったとする。この場合には、リードデータバッファ61に保持されたデータは、DRAM25内のデータとは異なることになる。したがって、CPU21のアクセスに際してリードデータバッファ61内のデータをCPU21に返すと、リードエラーとなる。すなわち、DMA転送が行われた後には、リードデータバッファ61内のデータは無効である可能性がある。

【0064】そこで、本実施例では、DMA転送が行われた後には、アドレス制御回路54の働きによって、アドレスレジスタ75の有効フラグをリセットして、リードデータバッファ61の記憶データが無効化される。有効フラグのリセットは、制御バス45からライン96を介して与えられる割込み信号に際して行われる。この場合に、CPU21は何らの処理を行う必要もないので、CPU21が実行するソフトウェアにおいて特に工夫をしなくても、リードデータバッファ61内の古いデータがCPU21に読み込まれることがない。

【0065】なお、上述のように本実施例では、アドレス制御回路54が割込み信号入力部に相当している。また、上記の割込み信号は、I/Oコントローラ23から発生される。すなわち、I/Oコントローラ23が割込み信号発生手段に相当する。なお、リードデータバッファ61内の古いデータがCPU21に読み込まれることを確実に防止する他の方法として、次のような動作が行われることがある。すなわち、アドレス制御回路54は、リードデータバッファ61内の古いデータを廃棄するために、ライン97からCPU21に割込み信号を与える。この割込み信号に際して、CPU21は、アドレスレジスタ75に保持されたアドレスとは別のアドレス(このアドレスはメモリアドレス空間外のダミーのアドレスであってもよい。)に対するリード動作を行う。このリード動作の際のアドレスは、予め決められた一定のアドレスであってもよい。

【0066】この場合に、ブロックサイズ発生回路69は、たとえば最大のブロックサイズを発生する。その結

*ドが相次いで行われる際には、全体のデータアクセス時間を格段に短縮できることが理解される。

【0062】

.... (5)

果、最大のブロックサイズ分のデータが、リードデータバッファ61にブロック転送される。その後にCPU21が非キャッシュ領域にアクセスしたときには、リードデータバッファ61内のデータは再び書き換えられるから、リードデータバッファ61の容量をたとえばブロックサイズ発生回路69が発生する最大のブロックサイズ程度にしておけば、CPU21が非キャッシュ領域のデータを取得しようとするときに、リードデータバッファ61内にDRAM25内のデータと一致しない古いデータが残っているという事態を確実に回避できる。

【0067】図3はブロックサイズ発生回路69の構成例を説明するためのブロック図である。ブロックサイズ発生回路69は、たとえば、4個のサイズレジスタ101、102、103、104を備えている。このサイズレジスタ101、102、103、104はブロックサイズを保持するためのものであり、たとえば、CPU21から異なるブロックサイズがセットされる。サイズレジスタ101、102に保持されたブロックサイズは、第1のマルチプレクサ111においていずれか一方が選択される。そして、第1のマルチプレクサ111の出力とサイズレジスタ103が保持するブロックサイズとが第2のマルチプレクサ112において選択され、次に、第2のマルチプレクサ112の出力とサイズレジスタ104が保持するブロックサイズとが第3のマルチプレクサ113において選択され、いずれか一方がブロックサイズマルチプレクサ68に与えられる。同時に、このブロックサイズは、サイズ比較器141において1ワードか否かを比較されて、その結果は、アドレス制御回路54に与えられる。

【0068】第1のマルチプレクサ111は、アドレスの大小を比較するアドレス比較器121の出力によって切換え制御され、第2のマルチプレクサ112はアドレス比較器122の出力によって切換え制御される。アドレス比較器121は、ライン70(図1参照)から入力される上位アドレスと、マップレジスタ131に蓄えられた値とを大小比較し、その比較結果に対応した信号を第1のマルチプレクサ111に与える。同様に、アドレス比較器122は、ライン70から入力される上位アドレスとマップレジスタ132に保持された値とを比較し、その比較結果に対応した信号を第2のマルチプレクサ112に与え、アドレス比較器123は、ライン70から入力される上位アドレスとマップレジスタ133に保持された値とを比較し、その比較結果に対応した信号

を第3のマルチプレクサ113に与える。

【0069】マップレジスタ131、132、133には、CPU21から、たとえば相互に異なる上位アドレス値がセットされる。図4はブロックサイズ発生回路69の動作を説明するための図であり、CPU21側のアドレスマップとメモリバス40側のアドレス空間との対応関係、およびCPU21がアクセスするアドレスに対応したブロックサイズが示されている。

【0070】メモリバス40側のアドレス空間には、DRAM25の記憶アドレス領域151、VRAM26の記憶アドレス領域152およびIOコントローラ23の制御による入出力用のアドレス領域153が存在する。DRAM25の記憶領域151は、データ記憶用の領域151Aとプログラム転送用領域151Bとに区分されており、データ記憶用の領域151Aの一部はDMA転送とCPU21用のデータ記憶との両方に用いられる共有部151Cとなっている。

【0071】一方、CPU21側には、メモリバス40側の領域151A、151B、152および153のそれぞれに1対1に対応する領域161、162、163、164が設けられている。そして、領域161内のアドレスに関するデータリードに際しては、ブロックサイズは16ワードとされ、領域162内のアドレスに関するデータリードに際しては、ブロックサイズは4ワードとされ、領域163内のアドレスのデータリードではブロックサイズは8ワードとされ、領域164のアドレスに関してはブロック転送は行われない。なお、共有部151Cは非キャッシュ領域とされるが、それ以外のDRAM25およびVRAM26の記憶領域に対応したアドレス領域に関しては、キャッシュ領域と非キャッシュ領域との区分は任意に設定されてもよい。

【0072】図4のアドレスマップに従ってブロックサイズを定めるためには、図3の構成において、たとえば、サイズレジスタ101にブロックサイズとして「16ワード」を保持させ、サイズレジスタ102にブロックサイズとして「4ワード」を保持させ、サイズレジスタ103にブロックサイズとして「8ワード」を保持させ、サイズレジスタ104にブロックサイズとして「1ワード」を保持させる。さらに、マップレジスタ131には領域161内の最上位となるアドレス（領域161と領域162との境界のアドレス）を保持させ、マップレジスタ132には領域162内の最上位となるアドレス（領域162と領域163との境界のアドレス）を保持させ、マップレジスタ133には領域163内の最上位となるアドレス（領域163と領域164との境界のアドレス）を保持させる。

【0073】そうすると、ライン70からのアドレスが領域161内のアドレスを超えていなければ、第1のマルチプレクサ111はサイズレジスタ101からのブロックサイズを選択し、第2マルチプレクサ112は第1

マルチプレクサ111からのブロックサイズを選択し、第3のマルチプレクサ113はマルチプレクサ112からのブロックサイズを選択する。また、ライン70からのアドレスが領域162内を超えていなければ、第1マルチプレクサ111はサイズレジスタ102のブロックサイズを選択し、第2マルチプレクサ112は第1マルチプレクサ111からのブロックサイズを選択し、第3のマルチプレクサ113はマルチプレクサ112からのブロックサイズを選択する。そして、ライン70からのアドレスが領域163内のアドレスなら、第1マルチプレクサ111はサイズレジスタ102を選択し、第2マルチプレクサ112はサイズレジスタ103からのブロックサイズを選択し、第3のマルチプレクサ113は第2マルチプレクサ112からのブロックサイズを選択する。さらに、ライン70からのアドレスが領域164内のアドレスなら、第3のマルチプレクサ113はサイズレジスタ104からのブロックサイズを選択する。

【0074】このようにして、領域161に関してはブロックサイズとして「16ワード」を出力させ、領域162に関してはブロックサイズとして「4ワード」を出力させ、領域163に関しては、ブロックサイズとして「8ワード」を出力させ、領域164については、ブロックサイズとして「1ワード」を出力させることができる。

【0075】なお、ブロックサイズは、サイズ比較器141によって1ワードか否かが判定される。ブロックサイズが1ワードのときには、サイズ比較器141は、ライン98を介して、アドレス制御回路54に、通常の転送を行うべきこと（すなわち、ブロック転送を行わないこと）を表す指示を与える。つまり、このような場合は、図4から理解されるように、IOコントローラ23へのアクセスであるので、ブロック転送は行われない。このとき、制御信号によってワード中の特定のバイトが指定される場合にも、そのような制御信号はそのまま制御バス45に与えられる。

【0076】このようにして、アクセス先に応じてブロックサイズを異ならせることができる。そのため、或るハードウェアでは短いブロックサイズでのブロック転送のみが可能で、他のハードウェアでは長いブロックサイズでのブロック転送が可能であるような場合であっても、各ハードウェアに対応して最適なブロック転送サイズを設定することができる。このことは、CPU21のリードアクセスの高速化に寄与する。

【0077】なお、CPU側の持つアドレス空間がメモリバス側のアドレス空間よりも大きい場合には、メモリマップを図5のように設定することもできる。すなわち、領域160、領域170および領域180がメモリバス側のアドレス空間に重複して対応付けられている。この場合、CPU21のアドレスの上位ビット部であってメモリバス40側で使っていないアドレスビットを用

いて、領域160、170、180とメモリバス側のアドレス空間との対応付けを選択することができる。

【0078】具体的には、たとえば、図3に示されたブロックサイズ発生回路69を領域160、170、180に対応させて3個設け、この3個のブロックサイズ発生回路の出力を、CPUアドレスの上位ビット部で切換え制御されるマルチプレクサによって選択させればよい。もっとも、図5の場合には、領域170ではブロック転送は行われないのであるから、この領域170についてはCPU21からライン33を介してアドレス制御回路54に制御信号を与え、ブロックサイズマルチプレクサ68においてライン66からの転送サイズを選択させればよい。また、領域180では、全領域でブロックサイズが4ワードとされるので、この領域180に対応したブロックサイズ発生回路69は、1つのサイズレジスタで構成できる。

【0079】この構成では、CPU側のアドレスを変えることにより、同じDRAMアドレスに対して、異なる転送ブロックサイズを指定することが可能になる。このため、データリードが連続ワードで行われないプログラムの実行時には領域170を用いることによって1ワード単位のデータ転送を行わせる一方で、データリードが連続ワードで行われるプログラムの実行時にはたとえば領域180を用いることにより、DRAM25からリードバッファ61へのブロック転送を行わせることができる。すなわち、各プログラムにおける最適な転送ブロックサイズを設定しつつ、複数のプログラムによってDRAM25の記憶領域を共有させることができる。そのため、各プログラムを高速に実行できる。また、2つ以上のプログラムを同時に実行する場合でも、各プログラムにおける最適な転送ブロックサイズを設定できるので、全体の実行時間を短縮できる。

【0080】さらに、たとえば、ネットワークを用いた通信やハードディスク装置からのデータの読出のように、入出力インタフェースとの間におけるDRAM25を介するデータの受渡しが多く、連続するワードに対するリードが生じやすいプログラムを実行する場合には、ブロックサイズが大きく設定されるようにしておけば、CPU21の動作時間を効果的に短縮することができる。

【0081】次に、データライト動作について説明する。DRAM25やVRAM26にデータを書き込む場合には、CPU21は、書込アドレスをCPUアドレスバス31に導出するとともに、データバス21に書き込むべきデータを導出し、さらに、ライン34に書き込むべきデータのサイズを導出し、ライン33にデータ書込であることを表す制御信号を導出する。

【0082】このとき、書込領域がキャッシュ領域であるか非キャッシュ領域であるかにかかわらず、データはライトデータバッファ93に蓄積され、データのサイ

ズはライトサイズバッファ94に蓄積され、書込アドレスはライトアドレスバッファ92に蓄積される。そして、連続したアドレスに対する書込の場合には、ライトデータバッファ93に或る程度データがまとまった時点で、そのデータをDRAM25などにブロック転送する。これにより、DRAM25などに対するライトアクセス回数を減少させることができる。

【0083】リードとライトとの関係は、ライトアドレスがアドレスレジスタ75の値と一致しない限り、リードを優先させる。これにより、ライト動作とリード動作とが交互に行われるような場合に、リード動作がライト動作によって妨げられることを防止できるので、リードアクセスが高速化される。もしも、ライトアドレスがアドレスレジスタ75に保持されたアドレスと一致する場合には、リードデータバッファ61内のデータに対応するDRAM25内などのデータが書き換えられるから、ライト動作を優先させ、リードデータバッファ61内のデータを無効とする。すなわち、CPU21がライトデータバッファ93などを介してDRAM25などにデータを書き込む場合に、その書込領域がリードデータバッファ61の保持データのアドレス領域と重複する場合には、リードデータバッファ61の記憶データは無効である。そこで、アドレス制御回路54は、ライトアドレスの上位ビット部がアドレスレジスタ75に保持されたブロックアドレスと一致した場合には、アドレスレジスタ75の有効フラグをリセットしてリードデータバッファ61の記憶データは無効化することとしている。

【0084】図6は、本発明の他の実施例の構成を示すブロック図である。この図6において上述の図1に示された各部に対応する部分には、同一の参照符号を付して示す。本実施例では、アドレスおよびデータを多重化して伝送するバスラインと制御信号を伝送させるための制御線とを有するシステムバス200に、DRAMコントローラ22、IOコントローラ23およびフレームバッファコントローラ24が接続されている。このシステムバス200に、データ転送制御装置としてのバスコントローラ210が接続されている。このバスコントローラ210とCPU21との間は、アドレスおよびデータを多重化して伝送するバスラインと制御信号を伝送させるための制御線とを有するCPUバス201で接続されている。

【0085】バスコントローラ210は、CPU21に接続されたCPUインタフェース回路211と、システムバス200に接続されたメモリバスインタフェース回路212とを備えている。これらのインタフェース回路211、212は、アドレス、データ、制御線および転送サイズの分離を行う。メモリバスコントローラ21は、上記の2つのインタフェース回路211、212、判定手段としてのアドレス一致検出回路213、ブロックサイズ設定手段としてのアドレスマップ比較回路21

4、リードデータバッファ215、ライトデータバッファ216および割込み入力回路217を備えている。リードデータバッファ215は、DRAM25やVRAM26の記憶データのうち、アドレスが連続している複数ワードからなるデータブロックを記憶するために用いられる。

【0086】CPU21は、キャッシュメモリ28の記憶データを1ワード(=8バイト=64ビット)を単位として管理する。CPU21がバスコントローラ210を介してDRAM25やVRAM26とやり取りするデータの幅も64ビットである。ただし、CPU21はCPUバス201中の制御線を介して1ワードの中の特定の1バイトを指定する制御信号をバスコントローラ210に与えることもできる。アドレスは36ビットであり、DRAM25などへのアクセスを開始するときに、CPU21の1クロックの期間にだけ出力される。キャッシュメモリ28とDRAM25との間のデータ転送を行うときには、CPU21は、8ワードをブロックサイズとして指定し、DRAM25へのアクセスを実行する。

【0087】システムバス200は、64ビットのデータ幅をもち、アドレスは32ビットである。また、データがブロック転送される際のブロックサイズについては、1~32ワードの範囲でアクセス時に指定できる。このシステムバス200中の制御線も、ワードの中の1バイトを指定するための制御信号を伝送させることができる。

【0088】アドレスマップ比較回路214は、0番から15番までの16個のマップレジスタを持つ。この16個のマップレジスタには、それぞれ、36ビットアドレスの上位24ビットのアドレス値をCPU21から設定できる。つまり、バイトアドレスで16進の「0x000(xは任意の16進数)」のような値を設定することができる。

【0089】たとえば、番号の大きいマップレジスタには大きいアドレスが設定される。そして、0番のレジスタの値と1番のレジスタの値のように、n(n=0, 1, 2, 3, ..., 15)番のレジスタの値と(n+1)番のレジスタの値との間のアドレス領域が、n番目のアドレス領域を形成する。したがって、マップレジスタの値によって、アドレス空間は16個の領域に区分される。

【0090】区分された各アドレス領域にそれぞれ対応するように16個のサイズレジスタが設けられている。サイズレジスタは、ブロックサイズを保持するものであり、n番目のマップレジスタの値と(n+1)番目のマップレジスタの値との間のアドレス領域に対応したサイズレジスタには、ブロックサイズNが与えられる。サイズレジスタに保持されるブロックサイズの値は、CPU21から設定することができる。サイズレジスタは、シ

ステムバス200における最大ブロックサイズである32ワードを指定できるように、5ビットのレジスタになっている。

【0091】このような構成のアドレスマップ比較回路214は、CPU21が非キャッシュ領域に対するリードアクセスを行った場合に、CPUインタフェース回路211から与えられるアドレスとマップレジスタの値とを比較し、その比較結果に対応したサイズレジスタが保持するブロックサイズを転送サイズとして出力する。この転送サイズは、アドレス一致検出回路213、リードデータバッファ215およびメモリバスインタフェース回路212に与えられる。CPU21がキャッシュ領域に対するリードアクセスを行った場合には、CPUインタフェース回路211から与えられる転送サイズが、そのままメモリバスインタフェース回路212に与えられる。

【0092】アドレス一致検出回路212は、リードデータバッファ215に記憶されたデータブロックのアドレスの上位ビット部を記憶するためのアドレスレジスタを内部に備えている。このアドレスレジスタには、リードデータバッファ215に記憶されたデータが有効か無効かを表す有効フラグが含まれている。アドレス一致検出回路212では、CPU21が非キャッシュ領域へのリードアクセスを行うか、または、任意の領域へのライトアクセスを行ったことに応答して、CPUインタフェース回路211から入力されるアドレスの上位ビット部であるブロックアドレスとアドレスレジスタに保持されたアドレスとが比較される。具体的には、アドレスマップ比較回路214から与えられるブロックサイズに基づき、CPUインタフェース211からのアドレスがブロックアドレスとブロック内アドレス(下位ビット部)とに分割される。たとえば、ブロックサイズが4ワード(32バイト)であれば、ブロック内のバイトアドレスは5ビットになるので、下位5ビットがブロック内アドレスとされ、残りの上位31ビットがブロックアドレスとなる。この場合には、アドレスの比較は、36ビット中の上位31ビットに対して実行される。

【0093】CPU21が非キャッシュ領域へのリードアクセスを行った場合には、ブロックアドレスとアドレスレジスタの保持アドレスとが不一致であるか、有効フラグがリセット(無効を表す。)されているか、または、ブロックサイズが1ワードであることを条件として、メモリバスインタフェース回路212にリード要求が与えられる。このとき、アドレス一致検出回路213は、アドレスレジスタにCPUインタフェース回路211からのアドレスをラッチさせるとともに、有効フラグをセットする。

【0094】そして、アドレスマップ比較回路214から与えられるブロックサイズの範囲で下位アドレスを連続的に変化させたアドレスをメモリバスインタフェース

25

回路212に与える。この場合のアドレスはCPU21から受けたアドレスをワード単位に直したアドレスである。つまり、制御線を介してバイト指定を表す制御信号が与えられた場合でも、全バイトのリードに修正してデータ読出を実行する。なお、ブロックサイズが1ワードの場合には、CPUインタフェース回路211からのアドレス、転送サイズがそのまま出力される。

【0095】ブロックサイズが2ワード以上ならば、メモリバスインタフェース回路212は、アドレス一致検出回路213からのアドレス、アドレスマップ比較回路214からの転送サイズ、およびCPUインタフェース211からの制御信号をシステムバス200に供給する。たとえば、CPU21が指定したアドレスがDRAM25のアドレスであれば、DRAMコントローラ22は、システムバス200から与えられるアドレスに対応したブロックサイズ分のデータをDRAM25から読み出し、読み出したデータをシステムバス200からメモリバスインタフェース回路212に与える。このデータは、リードデータバッファ215に与えられて記憶される。

【0096】ブロックアドレスとアドレスレジスタの保持アドレスとの一致が検出され、かつ、有効フラグがセットされており、かつ、ブロックサイズが2ワード以上である場合には、メモリバスインタフェース212回路にリード要求が与えられることはない。この場合には、CPU21が必要としているアドレスのデータは、リードデータバッファ216内に記憶されているからである。このとき、アドレス一致検出回路213はリードデータバッファ215にブロック内アドレスを与える。これにตอบสนองして、リードデータバッファ215はCPU21が要求するデータをCPUインタフェース211に与える。

【0097】なお、CPU21がキャッシュ領域へのリードアクセスを行う場合には、アドレス一致検出回路213は、CPU211から与えられるアドレスおよび制御信号をそのままメモリバスインタフェース212に与え、上述のような各動作は実行しない。リードデータバッファ215は、システムバス200の最大転送ブロックサイズである32ワードの容量のバッファであり、その記憶データをブロック内アドレスを用いて管理している。使用するブロックサイズが小さい場合にはリードデータバッファ215内のアドレスの小さい方からブロックサイズ分の領域を使用し、残りは使用しない。この構成により、アドレス一致検出回路213から与えられるブロック内アドレスとブロックサイズとに基づいて適当なワードが選択され、CPUインタフェース回路211に与えられる。

【0098】なお、リードデータバッファ215は、メモリバスインタフェース回路212からのデータを記憶することなしに素通りさせることもできる。このような

26

いわばバイパス動作は、CPU21がキャッシュ領域やIOコントローラ23のレジスタ部のアドレス領域に対応したIO領域にアクセスした際に行われる。ライトデータバッファ216は、たとえば、32ワードのデータを蓄積することができるものであり、CPU21が書込要求を出力したときに、書込アドレス、書込データのサイズ、書込データおよび制御信号をバッファリングするために用いられる。そして、アドレスが連続する領域に関するデータの書込は、或る程度の量のデータが蓄積された時点で一括して行われる。

【0099】割込み入力回路217は、システムバス200からの全ての割込みをCPU21に中継するものであり、全ての割込みにそれぞれ対応するリセットフラグを有している。このリセットフラグはCPU21からアクセスすることができるレジスタに保持されている。このリセットフラグをリセットイネーブルの設定にしておくと、そのリセットフラグに対応する割込みが発生したときに、アドレス一致検出回路214内のアドレスレジスタの有効フラグがリセットされ、リードデータバッファ215内のデータが無効化される。本実施例では、外部記憶装置からDRAM25へのDMA転送が行われた後にIOコントローラ23が発生する割込み信号に対応するリセットフラグが、リセットイネーブルに設定される。そのため、DMA転送によってDRAM25の内容が書き換えられた場合に、アドレスレジスタの有効フラグがリセットされる。

【0100】次に、全体の動作について説明する。CPU21がキャッシュ領域にアクセスしてデータリードを行う場合、CPU21はまずキャッシュメモリ28にアクセスする。必要なデータがキャッシュメモリ28に記憶されている場合には、キャッシュメモリ28からそのデータがCPU21に与えられてリード動作が終了する。キャッシュメモリ28に必要なデータが無ければ、CPU21は、CPUインタフェース回路211にリード要求を出す。このとき、CPU21は、必要なデータのアドレス、キャッシュ28に転送すべきデータサイズである転送サイズ（たとえば8ワード）およびキャッシュ領域へのアクセスであることを表す制御信号をバスコントローラ210に与える。

【0101】バスコントローラ210内のアドレス一致検出回路213は、キャッシュ領域へのアクセスであることを表す制御信号に基づき、CPUインタフェース回路211から与えられるアドレスをそのまま通し、CPUインタフェース回路211で使われる36ビットアドレスをシステムバスの32ビットアドレスに変換するために、上位4ビットを落としてメモリバスインタフェース回路212からシステムバス200に与える。一方、転送サイズは、アドレスマップ比較回路214を素通りしてシステムバス200に与えられる。また、CPU21のリード要求は、メモリバスインタフェース回路21

2からDRAMコントローラ22へのリード要求として発行される。DRAMコントローラ22はメモリアクセス時間を経た後、1ワード転送時間毎に1ワードずつをシステムバス200に出力しながら、要求されたブロック（たとえば8ワード）のデータを連続して転送する。このデータは、メモリバスインタフェース回路211から、リードデータバッファ215を素通りして、CPUバス210に与えられる。CPU21は、転送されてきたブロック中の必要なデータを自身に取り込むとともに、キャッシュメモリ28へブロック全体をコピーする。

【0102】CPU21が非キャッシュ領域にアクセスしてデータリードを行う場合には、アドレス一致検出回路213では、上述のアドレスレジスタの有効フラグが調べられる。また、アドレスマップ比較回路214によりブロックサイズが調べられる。有効フラグがセットされており、かつ、ブロックサイズが2ワード以上の場合には、さらに、上述のブロックアドレスとアドレスレジスタの保持アドレスとの一致／不一致が検出される。両アドレスが一致する場合には、ブロック内アドレスがリードデータバッファ215に与えられ、このリードデータバッファ215内の記憶データがCPUインタフェース回路211からCPU21に与えられる。これより、CPU21は必要な1ワードのデータを取得することができる。

【0103】なお、CPU21は、バイト単位でリード要求を出す場合もあるが、この場合にも、リードデータバッファ215はワード単位でデータをCPU21に与える。また、CPU21は自分自身で受け取ることができるだけのデータを要求するので、1ワードを超えるサイズのリード要求を発生することはない。有効フラグがリセットされているか、または、ブロックアドレスとアドレスレジスタの値とが不一致である場合には、メモリバスインタフェース回路212にリード要求が与えられ、アドレスマップ比較回路214が発生するブロックサイズ分のデータがDRAM25またはVRAM26から読み出される。読み出されたデータがリードデータバッファ215に格納されるのは上述のとおりである。

【0104】なお、アドレスマップ比較回路214が備える0番から15番のマッピングレジスタに保持されたアドレスの値の範囲外のアドレス領域へのアクセスが行われた場合には、CPU21からのアドレス、制御信号および転送サイズはそのままシステムバス200に渡される。また、アドレスマップ比較回路214がブロックサイズとして1ワードを出力する場合（たとえば、I/Oコントローラ23のレジスタ部のアドレス領域へのアクセスの場合）には、CPU21からのアドレス、制御信号がそのままシステムバス200に渡される。そして、リードしたデータは、リードデータバッファ215を素通りして、CPU21に与えられる。

【0105】CPU21がDRAM25やVRAM26などに対するライト動作を行う場合には、アクセスされる領域がキャッシュ領域であるか非キャッシュ領域であるかにかかわらず、CPU21からのデータ等はライトデータバッファ216に一旦蓄えられる。そして、リードが実行されていないサイクルに、メモリバスインタフェース回路212を介して、DRAM25、VRAM26またはI/Oコントローラ23に対するデータの書込がまとめて行われる。

【0106】なお、ライト動作時において、アドレス一致検出回路213においてライトアドレスとアドレスレジスタとの一致が検出された場合には、このアドレスレジスタの有効フラグがリセットされ、リードデータバッファ215内のデータが無効化される。以上のように本実施例においても、上述の第1の実施例とほぼ同様な動作によって、CPU21の非キャッシュ領域へのアクセス時間を短縮して、その動作の高速化を図ることができる。

【0107】本発明の実施例の説明は以上のとおりであるが、本発明は上記の実施例に限定されるものではなく、本発明の要旨を変更しない範囲で種々の設計変更を施すことができる。

【0108】

【発明の効果】請求項1記載の発明によれば、非キャッシュ領域内における主記憶装置からのデータの読出をデータブロック毎に行わせ、読み出されたデータブロックをリードデータバッファに記憶させておくことにより、主記憶装置へのアクセス時間が短縮される。これにより、処理装置を高速に動作させることが可能になり、その処理効率を格段に向上することができる。

【0109】請求項2記載の発明によれば、リードデータバッファに記憶されたデータに対応するアドレスに対するデータ書込が行われるときに、リードデータバッファの記憶データが無効化されるので、誤ったデータが処理装置に与えられることを防止できる。請求項3または請求項4記載の発明によれば、処理装置がアクセスするアドレスに応じて転送されるデータブロックのサイズを変化させることができるから、たとえば、処理装置がアクセスするハードウェアごとに適切なサイズを設定することができる。これにより、データ転送の最適化が図られるから、処理装置の処理効率を一層向上できる。

【0110】請求項5記載の発明によれば、主記憶装置側の1つのアドレスを処理装置側の異なる複数のアドレスに対応させることができるから、主記憶装置の或るアドレス領域からリードデータバッファにデータを転送させる際のデータブロックのサイズを複数種類に設定することができる。そのため、たとえば、主記憶装置の或るアドレス領域を共有する複数のプログラムを実行する場合に、各プログラム毎に最適なデータブロックサイズを設定できる。これにより、各プログラムの実行時間を短

縮することができる。

【0111】請求項6記載の発明によれば、主記憶装置に書き込むべきデータはライトデータバッファに一旦蓄積され、その後に主記憶装置に転送される。この場合に、ライトデータバッファから主記憶装置へのデータ転送は、処理装置の処理とは無関係なタイミングで行えるから、たとえば、主記憶装置からのデータ読出を阻害しないタイミングで行うことができる。これにより、処理装置では主記憶装置へのデータ書込を待つことなくデータの読出を行えるので、処理を高速化できる。

【0112】請求項7記載の発明によれば、割込み信号入力部に所定の割込み信号が入力されることでリードデータバッファの記憶データが無効化される。この場合に、請求項8に記載されている構成を採用すれば、DMA転送によって主記憶装置にデータの書込が行われたときに、リードデータバッファの記憶データが無効化される。そのため、DMA転送後の新たなデータに更新されてないリードデータバッファ内の記憶データが誤って処理装置に与えられることを防止できる。

【0113】また、リードデータバッファを無効化するために処理装置が特別な処理を行う必要はなく、この無効化のために処理装置の処理効率が阻害されることもない。

【図面の簡単な説明】

【図1】本発明の一実施例のデータ転送制御装置が適用されたデータ処理装置としてのコンピュータの構成を示すブロック図である。

【図2】データ読出動作を説明するためのタイムチャートである。

【図3】ブロックサイズ発生回路の構成例を示すブロック図である。

【図4】CPU側のアドレスとメモリバス側のアドレスとの対応関係、およびCPUアドレスとブロックサイズとの関係の一例を説明するための図である。

【図5】CPU側のアドレスとメモリバス側のアドレスとの対応関係、およびCPUアドレスとブロックサイズとの関係の他の例を説明するための図である。

【図6】本発明の他の実施例のデータ転送制御装置が適用されたデータ処理装置としてのコンピュータの構成を

示すブロック図である。

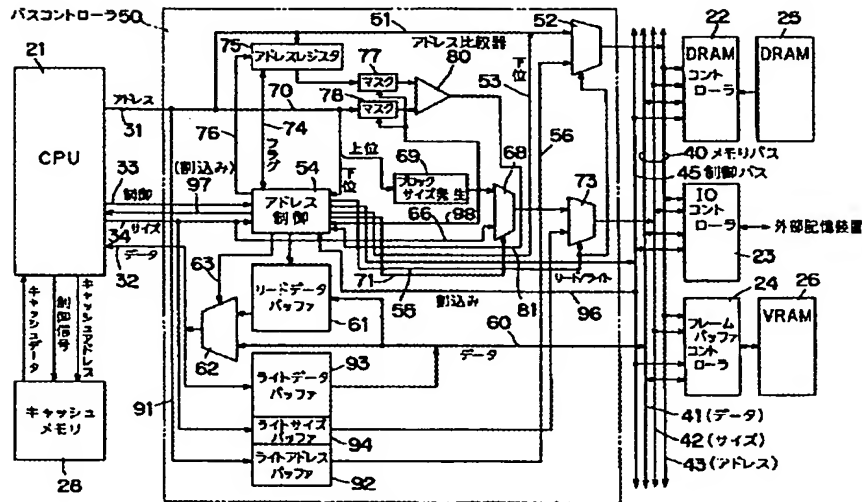
【図7】従来から用いられているコンピュータの構成を示すブロック図である。

【図8】データ読出動作を説明するためのタイムチャートである。

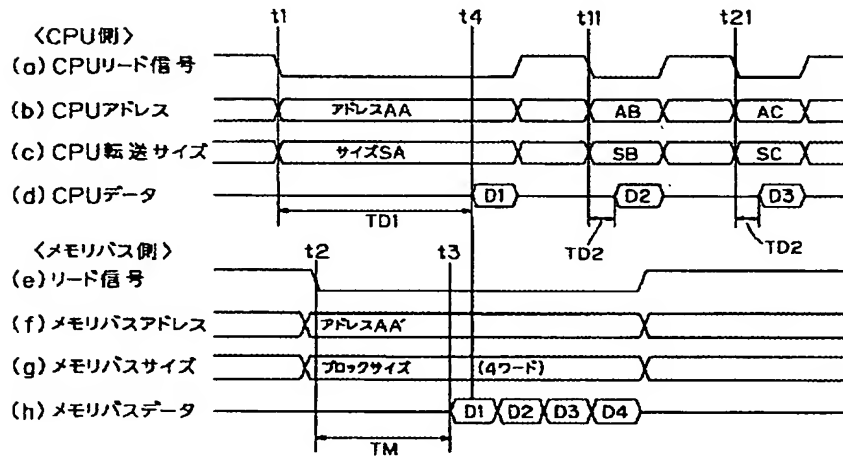
【符号の説明】

- 21 CPU (処理装置)
- 22 DRAMコントローラ
- 23 IOコントローラ
- 10 24 フレームバッファコントローラ
- 25 DRAM
- 26 VRAM
- 28 キャッシュメモリ
- 31 CPUアドレスバス
- 32 CPUデータバス
- 40 メモリバス
- 45 制御バス
- 50 バスコントローラ
- 54 アドレス制御回路
- 20 61 リードバッファ
- 62 リードデータマルチプレクサ
- 68 ブロックサイズマルチプレクサ
- 69 ブロックサイズ発生回路
- 75 アドレスレジスタ
- 80 アドレス比較器
- 92 ライトアドレスバッファ
- 93 ライトデータバッファ
- 94 ライトサイズバッファ
- 200 システムバス
- 201 CPUバス
- 210 バスコントローラ
- 211 CPUインタフェース回路
- 212 メモリバスインタフェース回路
- 213 アドレス一致検出回路
- 214 アドレスマップ比較回路
- 215 リードデータバッファ
- 216 ライトデータバッファ
- 217 割込み入力回路

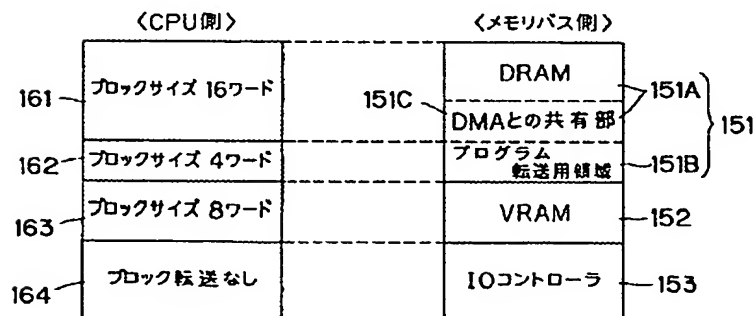
【図1】



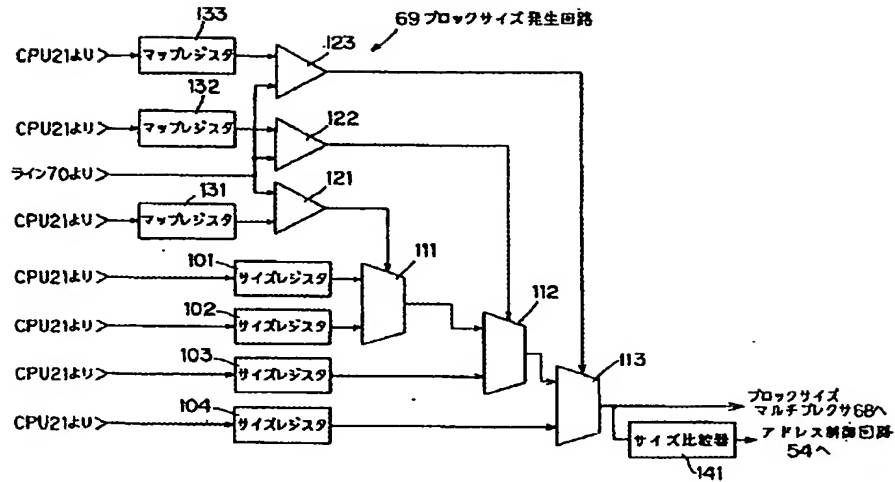
【図2】



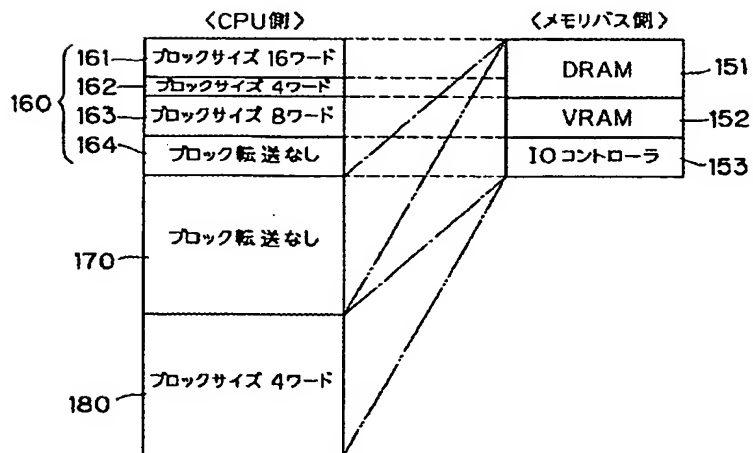
【図4】



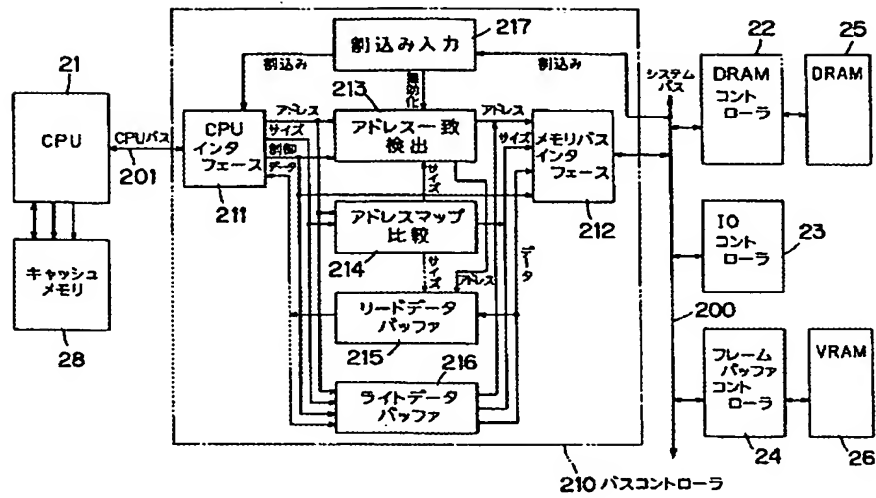
【図3】



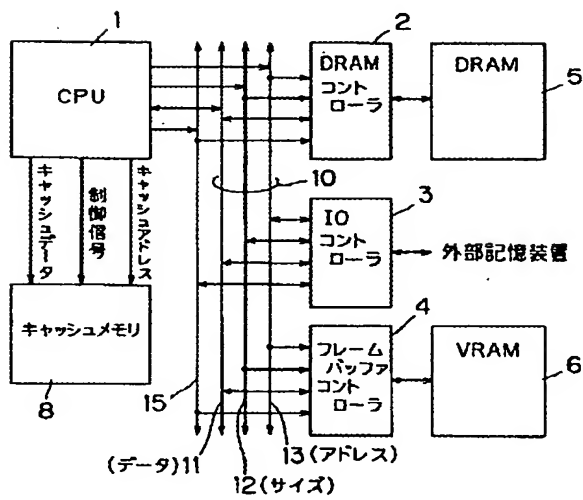
【図5】



【図6】



【図7】



【図8】

